

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-027751

(43)Date of publication of application : 30.01.2001

(51)Int.Cl. G02F 1/133  
 G09F 9/30  
 G09G 3/20  
 G09G 3/36

(21)Application number : 2000-167912

(71)Applicant : KWON OH-KYONG

(22)Date of filing : 05.06.2000

(72)Inventor : KWON OH-KYONG

(30)Priority

Priority number : 99 9920721

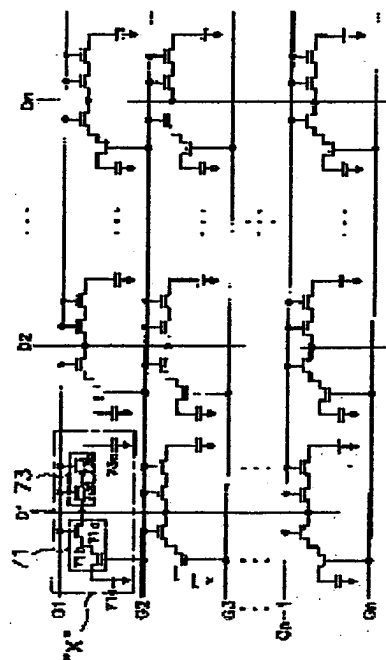
Priority date : 04.06.1999

Priority country : KR

**(54) LIQUID CRYSTAL DISPLAY DEVICE****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To make it possible for the liquid crystal display device to display the same image expression even if the number of data lines is reduced to a half level of conventional one and to reduce the cost.

**SOLUTION:** The liquid crystal display device having a 1st substrate, a 2nd substrate, and liquid crystal filled in-between is comprised of scanning lines, etc., formed in one direction on the above-mentioned 1st substrate, data lines, etc., formed in the direction intersecting the scanning lines, a 1st pixel region, a 2nd pixel region, etc., formed on both sides of each data line, respectively, a 1st switching part 71 to selectively transmit image signals stored in the data lines to the 1st pixel region, and a 2nd switching part 73 to selectively transmit pixel signals stored in the data lines to the above-mentioned 2nd pixel region, selectively.

**LEGAL STATUS**

[Date of request for examination]

05.06.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-27751

(P2001-27751A)

(43) 公開日 平成13年1月30日 (2001.1.30)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テマコード* (参考)
G 0 2 F 1/133	5 5 0	G 0 2 F 1/133	5 5 0
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 2 3 Y
	6 2 4		6 2 4 B
3/36		3/36	
審査請求 有 請求項の数26 O L (全 16 頁)			

(21) 出願番号 特願2000-167912(P2000-167912)

(22) 出願日 平成12年6月5日 (2000.6.5)

(31) 優先権主張番号 1 9 9 9 P 2 0 7 2 1

(32) 優先日 平成11年6月4日 (1999.6.4)

(33) 優先権主張国 韓国 (K R)

(71) 出願人 500261592

權 五敬

大韓民国ソウル市松波區新川洞 (番地なし) ジャンミアパート14-1102

(72) 発明者 權 五敬

大韓民国ソウル市松波區新川洞 (番地なし) ジャンミアパート14-1102

(74) 代理人 100095957

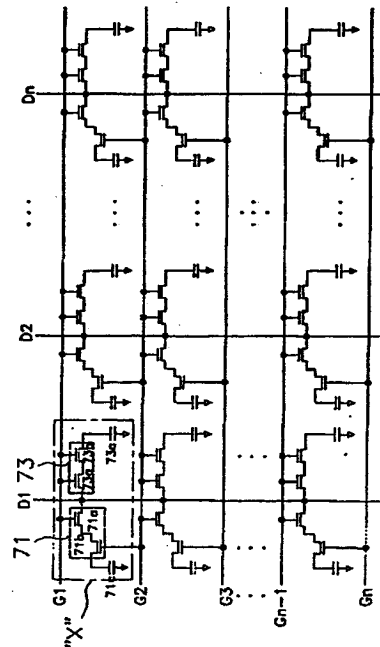
弁理士 亀谷 美明 (外3名)

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 データラインの数を従来の半分の水準で減少させながら同一な画像表現を可能にしてコストの低減を可能にする液晶表示装置を提供すること。

【解決手段】 第1基板と第2基板および、その間に封入された液晶を有する液晶表示装置において、前記第1基板上で一方向へ形成される走査ラインなどと、前記走査ラインと交差する方向へ形成されるデータラインなどと、前記各データラインの両側に各々形成される第1画素領域及び第2画素領域などと、前記データラインに格納された画像信号を前記第1画素領域に、選択的に伝えるための第1スイッチング部と、前記データラインに格納された画像信号を前記第2画素領域へ選択的に伝えるための第2スイッチング部とを具備するよう構成されることを特徴とする液晶表示装置を提供する。



## 【特許請求の範囲】

【請求項1】 第1基板と第2基板および、その間に封入された液晶を有する液晶表示装置において、前記第1基板上で一方向へ形成される走査ラインなどと、前記走査ラインと交差する方向へ形成されるデータラインなどと、前記各データラインの両側に各々形成される第1画素領域及び第2画素領域などと、前記データラインに格納された画像信号を前記第1画素領域に、選択的に伝えるための第1スイチング部と、前記データラインに格納された画像信号を前記第2画素領域へ選択的に伝えるための第2スイチング部とを具備するよう構成されることを特徴とする液晶表示装置。

【請求項2】 前記第1、2スイチング部などは薄膜トランジスターを含むことを特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記薄膜トランジスターはNタイプの薄膜トランジスターとPタイプの薄膜トランジスターのうち、いずれかの一つで構成されることを特徴とする請求項2記載の液晶表示装置。

【請求項4】 前記第1スイチング部は少なくとも2個以上の薄膜トランジスターから構成され、前記第2スイチング部は少なくとも一つ以上の薄膜トランジスターから構成されることを特徴とする請求項2記載の液晶表示装置。

【請求項5】 第1基板と第2基板および、その間に封入された液晶を有する液晶表示装置において、前記第1基板上で一方向へ形成される複数の走査ラインなどと、前記走査ラインなどと交差する方向へ形成されるデータラインなどと、前記各データラインと前記各走査ラインとが交差する地点で前記データラインの一侧に形成され、該当走査ラインと次の走査ラインとによって制御される第1スイチング部と、前記各データラインと前記各走査ラインとが交差する地点で前記データラインの他の一侧に形成され、該当走査ラインによって制御される第2スイチング部と、前記第1スイチング部及び前記第2スイチング部の制御下に選択的に画像信号をディスプレイする第1画素領域及び第2画素領域とを具備するよう構成されることを特徴とする液晶表示装置。

【請求項6】 前記第1、2スイチング部は薄膜トランジスターを含むことを特徴とする請求項5記載の液晶表示装置。

【請求項7】 前記薄膜トランジスターはNタイプの薄膜トランジスターとPタイプの薄膜トランジスターのうち、いずれかの一つで構成されることを特徴とする請求項6記載の液晶表示装置。

【請求項8】 前記第1スイチング部は少なくとも2個以上の薄膜トランジスターから構成され、前記第2スイチング部は少なくとも1個以上の薄膜トランジスターから構成されることを特徴とする請求項6記載の液晶表示装置。

【請求項9】 前記第1スイチング部は前記データラインを中心として左側に構成し、前記第2スイチング部は前記データラインを中心として右側に構成することを特徴とする請求項6から8のいずれか1項に記載の液晶表示装置。

【請求項10】 前記第1スイチング部は前記データラインを中心として右側に構成し、前記第2スイチング部は前記データラインを中心として左側に構成することを特徴とする請求項6から8のいずれか1項に記載の液晶表示装置。

【請求項11】 前記第1スイチング部はソースまたはドレーンが前記データラインに連結されゲートが該当走査ラインに連結される第1薄膜トランジスターと、ゲートが次回走査ラインに連結され前記第1薄膜トランジスターによって伝えられた画像信号を前記第1画素領域へ伝える第2薄膜トランジスターとから構成されることを特徴とする請求項9記載の液晶表示装置。

【請求項12】 前記第1スイチング部はソースまたはドレーンが前記データラインに連結されゲートが次回走査ラインに連結される第1薄膜トランジスターと、ゲートが該当走査ラインに連結され前記第1薄膜トランジスターによって伝えられた画像信号を前記第1画素領域へ伝える第2薄膜トランジスターとから構成されることを特徴とする請求項9記載の液晶表示装置。

【請求項13】 前記第2スイチング部はソースまたはドレーンが前記データラインに連結されゲートが該当走査ラインに連結される第3薄膜トランジスターと、ゲートが該当走査ラインに連結され前記第3薄膜トランジスターによって伝えられた画像信号を前記第2画素領域へ伝える第4薄膜トランジスターとから構成されることを特徴とする請求項9記載の液晶表示装置。

【請求項14】 前記第2スイチング部はソースまたはドレーンが前記データラインに連結されゲートが該当走査ラインに連結される第3薄膜トランジスターから構成されることを特徴とする請求項9記載の液晶表示装置。

【請求項15】 前記第1スイチング部はソースまたはドレーンが前記データラインに連結されゲートは次回該当走査ラインに連結される第1薄膜トランジスターと、前記第1薄膜トランジスターと直列で連結されゲートが前記該当走査ラインに連結される第2薄膜トランジスターから構成されることを特徴とする請求項10記載の液晶表示装置。

【請求項16】 前記第1スイチング部はソースまたはドレーンが前記データラインに連結されゲートは該当走査ラインに連結される第1薄膜トランジスターと、前記第1薄膜トランジスターと直列で連結されゲートが次回走査ラインに連結される第2薄膜トランジスターから構成されることを特徴とする請求項10記載の液晶表示装置。

【請求項17】 前記第2スイチング部はソース及びド

3

レーンが前記データラインに連結されゲートが該当走査ラインに連結される第3薄膜トランジスターと、前記第3薄膜トランジスターと直列で連結されゲートが該当走査ラインに連結される第4薄膜トランジスターから構成されることを特徴とする請求項10記載の液晶表示装置。

【請求項18】 前記第2スイチング部はソース及びドレーンが前記データラインに連結されゲートが該当走査ラインに連結される第3薄膜トランジスターから構成されることを特徴とする請求項10記載の液晶表示装置。

【請求項19】 前記第1スイチング部はソース及びドレーンが前記データラインに連結されゲートが次回走査ラインに連結される第1薄膜トランジスターと、前記第1薄膜トランジスターに直列で連結されゲートが該当走査ラインに連結される第2薄膜トランジスターとから構成されることを特徴とする請求項9記載の液晶表示装置。

【請求項20】 前記第1スイチング部はソースまたはドレーンが前記データラインに連結されゲートが該当走査ラインに連結される第1薄膜トランジスターと、前記第1薄膜トランジスターに直列で連結されゲートが次回走査ラインに連結される第2薄膜トランジスターとから構成されることを特徴とする請求項9記載の液晶表示装置。

【請求項21】 前記第2スイチング部はソースまたはドレーンが前記データラインに連結されゲートが次回走査ラインに連結される第3薄膜トランジスターと、前記第3薄膜トランジスターに直列で連結されゲートが次回走査ラインに連結される第4薄膜トランジスターとから構成されることを特徴とする請求項9記載の液晶表示装置。

【請求項22】 前記第2スイチング部はソースまたはドレーンが前記データラインに連結されゲートが次回走査ラインに連結される第3薄膜トランジスターとから構成されることを特徴とする請求項9記載の液晶表示装置。

【請求項23】 前記第1スイチング部はソースまたはドレーンが前記データラインに連結されゲートが次回走査ラインに連結される第1薄膜トランジスターと、前記第1薄膜トランジスターと直列で連結され、ゲートが該当走査ラインに連結される第2薄膜トランジスターとから構成されることを特徴とする請求項10記載の液晶表示装置。

【請求項24】 前記第1スイチング部はソースまたはドレーンが前記データラインに連結されゲートが該当走査ラインに連結される第1薄膜トランジスターと、前記第1薄膜トランジスターと直列で連結され、ゲートが次回走査ラインに連結される第2薄膜トランジスターとから構成されることを特徴とする請求項10記載の液晶表示装置。

4

【請求項25】 前記第2スイチング部はソースまたはドレーンがデータラインに連結されゲートが次回走査ラインに連結される第3薄膜トランジスターと、前記第3薄膜トランジスターに直列で連結されゲートが次回走査ラインに連結される第4薄膜トランジスターとから構成されることを特徴とする請求項10記載の液晶表示装置。

【請求項26】 前記第2スイチング部はソースまたはドレーンがデータラインに連結されゲートが次回走査ラインに連結される第3薄膜トランジスターとから構成されることを特徴とする請求項10記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に関するもので、特に隣接した二つの走査ラインに印加される駆動信号を制御して、一つのデータラインでその両側の画素領域に画像信号を伝達することによってデータライン数を半分に減らすことができるようにし、高解像度を保持しながら生産コストを低減可能にした液晶表示装置に関する。

【0002】

【従来の技術】一般的な液晶ディスプレイ素子(Liquid Crystal Display: LCD)は、概略的には上板と下板、および上板と下板の間に封入された液晶から構成される。上板にはブラックマトリックス、共通電極、色相を表現するためのR(赤)、G(緑)、B(青)のカラーフィルタ層が配設される。下板はデータラインとゲートラインとが交差しながら配設されてマトリックス形態の画素領域を有する。各画素領域には一つの薄膜トランジスター(TFT: Thin Film Transistor)と画素電極とが構成される。

【0003】図18は一般的な液晶ディスプレイ素子の断面構造図である。図18に示したように、下板1には走査ライン(ゲートライン)から延伸されるゲート電極

(Gate)と、データラインから延伸されるソース電極S及びドレーン電極Dから構成される薄膜トランジスターが一定な間隔を置きマトリックスの形態で形成される。各画素領域には各薄膜トランジスターのドレーン電極Dに連結される画素電極2aが形成される。

【0004】上板3には下板1に形成された画素電極2aを除外した部分で光の透過を遮断するためにブラックマトリックス層4がメッシュ形態で形成される。各ブラックマトリックス層4の間には色を表現するためのR、G、Bカラーフィルタ層5が形成される。また、カラーフィルタ層5とブラックマトリックス層4とに亘って共通電極6が形成される。

【0005】図19は一般的な液晶ディスプレイ素子の構成図である。図19に示したように下板及び上板およびその間に封入された液晶から成る画像をディスプレイ

5

するパネル部21と、パネル部21のロー方向へ駆動信号を与えるゲートドライバGDから成るゲートドライバ22と、パネル部21のカラム方向へ駆動信号を与えるソースドライバSDから成されるソースドライバ23とから構成される。

【0006】以下、添付の図面を参照して従来液晶表示装置を説明する。図20は従来技術による液晶表示装置の構成図である。図20に示したように、ロー方向に沿って互いに一定間隔を置き複数の走査ライン(G1, G2, . . . , Gn-1, Gn)などが形成され、各走査ラインを横切る方向へ複数のデータライン(D1, D2, . . . , Dn-1, Dn)などが形成される。

【0007】また、走査ラインとデータラインが交差する地点ごとに薄膜トランジスタT1などが構成され、各薄膜トランジスタごとに画素電極C1cが連結される。従って、走査ラインに順次的に駆動電圧が供給されて薄膜トランジスタがターンオンされ、ターンオンされた薄膜トランジスタを介して該当データラインの信号電圧が画素電極へ充電される。

【0008】図21は従来液晶表示装置の走査ラインに与える駆動信号波形図である。図21に示したように1水平周期の間、1番目の走査ラインG1からn番目の走査Gnまで順次的に駆動信号が与えられるので該当走査ラインによってターンオンされた薄膜トランジスタを介して該当データラインの信号電圧が画素電極へ伝えられて画像をディスプレイする。

【0009】以上のように、従来液晶表示装置は各々のデータラインごとに薄膜トランジスタを備えて、走査ラインに順次的に駆動電圧を供給して薄膜トランジスタをオン/オフさせ、そのうち、ターンオンされた薄膜トランジスタを介して該当データラインの信号電圧を画素領域に伝えて画像をディスプレイする。

【0010】

【発明が解決しようとする課題】しかしながら、前記のような従来の液晶表示装置は次のような問題があった。高解像度及び大型化を達成するため、画素数をさらに多くしようとすると、ドライバの数及びサイズが増加してコストが上昇することになる。さらに、これはバックギングのみならず、ドライバとパネルとの間の接続などの新しい問題を起こることになる。

【0011】本発明は、このような問題に鑑みてなされたもので、その目的とするところは、データラインの数を従来の半分の水準で減少させながら同一な画像表現を可能にしてコストの低減を可能にする液晶表示装置を提供することにある。

【0012】

【課題を解決するための手段】上記課題を解決するために、本発明の第1の観点によれば、第1基板と第2基板および、その間に封入された液晶を有する液晶表示装置において、前記第1基板上で一方へ形成される走査ラ

6

インなどと、前記走査ラインと交差する方向へ形成されるデータラインなどと、前記各データラインの両側に各々形成される第1画素領域及び第2画素領域などと、前記データラインに格納された画像信号を前記第1画素領域に、選択的に伝えるための第1スイッチング部と、前記データラインに格納された画像信号を前記第2画素領域へ選択的に伝えるための第2スイッチング部とを具備するよう構成されることを特徴とする液晶表示装置が提供される。この際に、前記第1、2スイッチング部などは薄膜トランジスタを含むよう構成し、前記第1スイッチング部は少なくとも2個以上の薄膜トランジスタから構成され、前記第2スイッチング部は少なくとも一つ以上の薄膜トランジスタから構成されることが好ましい。なお、前記薄膜トランジスタは、Nタイプの薄膜トランジスタとPタイプの薄膜トランジスタのうち、いずれかの一つで構成されることが好ましい。

【0013】また、本発明の第2の観点によれば、第1基板と第2基板および、その間に封入された液晶を有する液晶表示装置において、前記第1基板上で一方へ形成される複数の走査ラインなどと、前記走査ラインなどと交差する方向へ形成されるデータラインなどと、前記各データラインと前記各走査ラインとが交差する地点で前記データラインの一侧に形成され、該当走査ラインと次の走査ラインとによって制御される第1スイッチング部と、前記各データラインと前記各走査ラインとが交差する地点で前記データラインの他の一侧に形成され、該当走査ラインによって制御される第2スイッチング部と、前記第1スイッチング部及び前記第2スイッチング部の制御下に選択的に画像信号をディスプレイする第1画素領域及び第2画素領域とを具備するよう構成されることを特徴とする液晶表示装置が提供される。

【0014】

【発明の実施の形態】以下、図面に基づいて本発明の実施の形態を詳細に説明する。まず、本発明の実施の形態に係る液晶表示装置は、隣接した二つの走査ラインに与える駆動信号を制御して一つのデータラインへその両側の画素領域に画像信号を伝えられるようにしてデータラインの数を半分に減少させることにその特徴がある。

【0015】図1は本発明の第1実施例による液晶表示装置の構成図である。図1に示したようにロー方向へ走査ライン(G1, G2, . . . , Gn-1, Gn)などが形成され、走査ライン(G1, G2, . . . , Gn-1, Gn)などを横切るカラム方向へデータライン(D1, D2, . . . , Dn-1, Dn)が形成される。両者が交差する地点でデータライン(D1, D2, . . . , Dn-1, Dn)を中心に左側の画素領域に画像信号を伝える第1スイッチング部71が形成され、右側の画素領域に画像信号を伝える第2スイッチング部73が形成される。

【0016】また、第1スイッチング部71には第1画素電極71cが連結され、第2スイッチング部73には第2画

素電極73cが連結される。ここで、第1スイチング部71と、第2スイチング部73は薄膜トランジスターから構成し、前記薄膜トランジスターはNタイプの薄膜トランジスターまたはPタイプの薄膜トランジスターから構成する。

【0017】図1の“X”部分を中心により詳細に説明する。データラインD1の左側に構成される第1スイチング部71はソースまたはドレーンがデータラインD1に連結され、ゲートが該当走査ラインG1に連結された第1薄膜トランジスター71aと、第1薄膜トランジスター71aと直列に連結され、ゲートが次の走査ラインG2に連結される第2薄膜トランジスター71bから構成される。第2薄膜トランジスター71bには第1画素電極71cが連結されて第1、第2薄膜トランジスター71a、71bなどのオン/オフ動作によって選択的に画像信号が伝えられる。

【0018】前記データラインD1の右側に構成される第2スイチング部73はゲートが該当走査ラインG1に連結され、ソースまたはドレーンがデータラインD1に連結される第3薄膜トランジスター73aと、第3薄膜トランジスター73aと直列に連結され、ゲートが該当走査ラインG1に連結される第4薄膜トランジスターから構成される。ここで、第2スイチング部73は第3薄膜トランジスター73aのみで構成することもできる。

【0019】このように構成された本発明の第1実施例による液晶表示装置において、第1画素電極と第2画素電極に画像信号を伝える過程を図2に示した波形図を参照して説明する。

【0020】図2は本発明の第1実施例による液晶表示装置の走査ラインに与える駆動信号の波形を示すものである。図2に示したように1水平周期を2区間に分けて第1区間aではデータライン(D1, D2, ..., Dn-1, Dn)を中心として左側と右側の画素領域に画像信号を与え、第2区間bでは右側の画素領域だけに画像信号を与える。

【0021】即ち、1番目の走査ラインG1では1水平周期の間にハイ(high)信号を与え、2番目の走査ラインG2に1/2水平周期の間(正確に1/2でなくても構わない)、即ち、a区間の間だけハイ信号を与え、残りの1/2水平周期の間にはロー(low)信号を与える。

【0022】従って、1番目の走査ラインD1と、2番目の走査ラインG2が全てのハイ(high)の間には第1スイチング部71を構成している第1、第2薄膜トランジスター71a、71bと、第2スイチング部73を構成している第3、第4薄膜トランジスター73a、73bが全てターンオンの状態となって、第1画素電極71cと第2画素電極73cに画像信号が伝えられる。

【0023】その後、2番目の走査ラインG2にロー信号を与えると、第2薄膜トランジスター71bがター

ンオフ状態となって、第1画素電極71cには画像信号が伝えられず第2画素電極73cだけに画像信号が伝えられる。

【0024】このように1水平周期を2区間a、bに分けて一つのデータラインに格納された画像信号を左側及び右側の画素電極に選択的に伝えられる。結果的に走査ラインに与えられる駆動信号を制御して一つのデータラインが左側と右側の画素領域に画像信号を伝えるので、データラインの数を従来に比べて半分に減少させることができ、これによってソースドライバの数も半分に減少することができる。

【0025】続いて、図3は本発明第2実施例による液晶表示装置の構成図である。図3に示したように、前記の第1実施例と比較して第1スイチング部71を構成している第1薄膜トランジスター71aと第2薄膜トランジスター71bのゲート接続部位が相異していることがわかる。

【0026】即ち、本発明の第2実施例による第1スイチング部71は、ソースまたはドレーンがデータラインD1に連結され、ゲートが次の走査ラインG2に連結される第1薄膜トランジスター71aと、第1薄膜トランジスター71aと直列に連結され、ゲートは該当走査ラインG1に連結される第1薄膜トランジスター71bから構成される。このとき、第2スイチング部73は第1実施例による構成と同一である。

【0027】このような本発明の第2実施例による液晶表示装置において、走査ラインに図4のような波形を与えると、液晶パネルの上端から下端へ移動しながら画像がディスプレイされ、一つのデータラインが左側と右側の画素領域に画像信号を伝えてデータラインの数を減少することができる。

【0028】なお、図5は本発明の第3実施例による液晶表示装置の構成図であり、図6は走査ラインに与えられる駆動信号の波形図である。図5に示したように、本発明の第3実施例は第1スイチング部71をデータライン(D1, D2, ..., Dn-1, Dn)の右側に構成し、第2スイチング部73を左側に構成した。即ち、本発明の第1、第2実施例では前記第1スイチング部71をデータライン(D1, D2, ..., Dn-1, Dn)の左側に構成したが、本発明の第3実施例では右側に構成している。

【0029】このような本発明の第3実施例による液晶表示装置はロー方向へ形成された複数の走査ライン(G1, G2, ..., Gn-1, Gn)などと、走査ライン(G1, G2, ..., Gn-1, Gn)と交差する方向へ形成されたデータライン(D1, D2, ..., Dn-1, Dn)と、データライン(D1, D2, ..., Dn-1, Dn)の右側に形成される第1スイチング部71と左側に形成される第2スイチング部73と、第1スイチング部73に連結された第2画素電極73cから構成さ

10

20

30

40

50

れる。

【0030】これを図5の“X”部分を中心に、より詳細に説明する。第1スイッチング部71は走査ラインG1とデータラインD1が交差する地点でデータラインの右側に形成され、第1スイッチング部71を構成する第1薄膜トランジスター71aと第2薄膜トランジスター71bのうち、第2薄膜トランジスター71bのゲートが次の走査ラインG2に連結される。

【0031】即ち、ソースまたはドレインがデータラインD1に連結され、ゲートが該当走査ラインD1に連結される第1薄膜トランジスター71aと、第1薄膜トランジスター71aと直列で連結され、ゲートが次の走査ラインG2に連結される第2薄膜トランジスター71bから構成される。

【0032】また、第2スイッチング部73はデータラインD1を中心に左側に形成され、二つの薄膜トランジスターから構成される。即ち、ソースまたはドレインがデータラインD1に連結され、ゲートが該当走査ラインG1に連結される第3薄膜トランジスター73aと、第3薄膜トランジスター73aと直列で連結されゲートが該当走査ラインG1に連結される第4薄膜トランジスター73bから構成される。ここで、第2スイッチング部73は一つの薄膜トランジスターから構成することができる。

【0033】このように構成された本発明の第3実施例に液晶表示装置は走査ラインに図6のような駆動信号を与える。図6に示したように、1水平周期の間に1番目の走査ラインG1にはハイ(high)信号を与え、2番目の走査ラインG2にa区間の間だけハイ信号を与え、b区間の間にはロー(low)信号を与える。

【0034】従って、1番目の走査ラインG1と2番目の走査ラインG2に全てハイ信号を与える場合には、第1スイッチング部71及び第2スイッチング部73を構成している薄膜トランジスターが全てターンオンされて第1画素電極71cと第2画素電極73cに画像信号が伝えられる。

【0035】この後、1番目の走査ラインG1にはハイ信号が与えられ、2番目の走査ラインG2にロー信号が与えられる場合には、第1スイッチング部71を構成している第2薄膜トランジスター71bがターンオフ状態となるので第1画素電極71cには画像信号が伝えられず第2画素電極73cだけに画像信号が伝えられる。このような過程を介して液晶パネルの上端から下端へ移動しながら画像がディスプレイされる。

【0036】図7は本発明の第4実施例による液晶表示装置の構成図であり、図8は図7の装置の走査ラインに与えられる駆動信号の波形図である。図7に示したように、本発明の第4実施例には第3実施例と比較して第1スイッチング部71を構成している第1、第2薄膜トランジスター71a、71bのゲート接続部位を異にして

構成したものである。

【0037】即ち、第3実施例では第1スイッチング部71を構成している第1薄膜トランジスター71aと第2薄膜トランジスター71bのうち、第2薄膜トランジスター71bのゲートが次の走査ラインG2に連結されているが、本発明の第4実施例では第1薄膜トランジスター71aのゲートが次の走査ラインG2に連結されるように構成した。

【0038】即ち、本発明の第4実施例による第1スイッチング部71は、ソースまたはドレインがデータラインD1に連結され、ゲートが次回走査ラインG2に連結される第1薄膜トランジスター71aと直列で連結され、ゲートが該当走査ラインG2に連結される第2薄膜トランジスター71bから構成される。

【0039】従って、図8のように走査ラインに駆動信号を与えるとデータラインD1を中心に左側と右側に選択的に画像信号を与えることができる。また、画像は液晶パネルの上端から下端へ移動しながらディスプレイされる。

【0040】続いて、図9は本発明の第5実施例による液晶表示装置の構成図であり、図10は走査ラインに与える駆動信号の波形図である。第5実施例では第1、第2スイッチング部を構成している薄膜トランジスターが形成される位置において、第1実施例ないし第4実施例の構成と差がある。

【0041】即ち、本発明の第1実施例ないし第4実施例ではデータライン(D1, D2, . . . , Dn-1, Dn)と走査ライン(G1, G2, . . . , Gn-1, Gn)とが交差する地点に薄膜トランジスター及び画素電極が形成され、データライン(D1, D2, . . . , Dn-1, Dn)に対して1番目の走査ラインとの交差点から順次的に2番目、3番目、. . . , n-1番目の走査ラインとの交差点に形成される。そして、データラインとn番目の走査ラインが交差する地点では薄膜トランジスター及び画素電極が形成されない。

【0042】しかしながら、本発明の第5実施例ではデータライン(D1, D2, . . . , Dn-1, Dn)に対して1番目の走査ラインが交差する地点には薄膜トランジスター及び画素電極が形成されず、2番目の走査ラインから3番目、4番目、. . . , n番目走査ラインが交差する地点に薄膜トランジスター及び画素電極が形成される。

【0043】また、本発明の第1実施例ないし第4実施例では、走査ライン(G1, G2, . . . , Gn-1, Gn)とデータライン(D1, D2, . . . , Dn-1, Dn)が交差する地点に形成される4個の薄膜トランジスターなどのうち、いずれかの一つが次の走査ラインに連結されたが、第5実施例では4個の薄膜トランジスターのうち、いずれかの一つが以前走査ラインに連結される構造を有する。



【0044】このような本発明の第5実施例の場合、図10のように走査ラインに駆動信号を与えると液晶パネルの下端から上端へ移動しながら画像がディスプレイされる。図10に示したように、1水平周期を2区間a、bに分けて走査ラインに駆動信号を与えることによってデータラインを中心に左側と右側の画素領域に選択的に画像信号を与えることができる。

【0045】これをより詳細に説明すると次のようである。図9に示したように一方向へ複数の走査ライン(G1, G2, ..., Gn-1, Gn)が形成され、各々走査ラインなどと交差する方向へデータライン(D1, D2, ..., Dn-1, Dn)が形成される。各データライン(D1, D2, ..., Dn-1, Dn)の左側には第1スイッチング部71が構成され、右側には第2スイッチング部73が構成される。第1スイッチング部71及び第2スイッチング部73は薄膜トランジスタから構成され、前記薄膜トランジスタはNタイプの薄膜トランジスタまたはPタイプの薄膜トランジスタから構成される。

【0046】前記データラインD1の左側に構成される第1スイッチング部71のうち、第2薄膜トランジスタ71bのゲートは以前走査ライン(Gn-1)に連結され第1薄膜トランジスタ71aのゲートは該当走査ラインGnに連結される。各々データライン(D1, D2, ..., Dn-1, Dn)の右側に形成される第2スイッチング部73は二つの薄膜トランジスタから構成され、前記二つの薄膜トランジスタ(第3、第4薄膜トランジスタ)のゲートは全て該当走査ラインGnに連結される。ここで、前記第2スイッチング部73を一つの薄膜トランジスタから構成することもできる。

【0047】これを図9の“X”部分を中心により詳細に説明する。図10に示したように1水平周期の間に該当走査ラインにはハイ信号を与え、以前走査ラインGn-1は第1区間aの時だけハイ信号を与える。従って、該当走査ラインGnと以前走査ラインGn-1が全てハイである区間では第1、第2スイッチング部70、73を構成している薄膜トランジスタなどが全てターンオン状態となって第1、第2画素電極71c、73cに画像信号が伝えられる。

【0048】次に第2区間bの時には以前走査ライン(Gn-1)にロー信号を与えると前記第1スイッチング部71を構成している第2薄膜トランジスタ71bがターンオフ状態となって第1画素電極71cには画像信号が伝えられない。代わりに、データラインの右側の第2スイッチング部73は相変わらずターンオン状態を保持することになって前記第2画素電極73cだけに画像信号が伝えられる。このようにデータラインを中心に左側と右側に選択的に画像信号を伝えることができ、データラインの数を半分で減少することができる。

【0049】図11は本発明の第6実施例による液晶表

示装置の構成図であり、図12は本発明の第6実施例による液晶表示装置の走査ラインに与えられる駆動信号を波形図を示したものである。本発明の第6実施例による液晶表示装置は本発明の第5実施例と比較して第1スイッチング部71を構成している第1薄膜トランジスタ71aと第2薄膜トランジスタ71bのゲート接続部位が相異なることがわかる。

【0050】即ち、本発明の第5実施例では第1薄膜トランジスタ71aのゲートが該当走査ラインGnに連結され、第2薄膜トランジスタ71bのゲートは以前走査ラインGn-1に連結されたが、本発明の第6実施例では第1薄膜トランジスタ71aのゲートが以前走査ラインGn-1に連結され、第2薄膜トランジスタ71bのゲートが該当走査ラインGnに連結される。このとき、第2スイッチング部73は第5実施例の構成と同一である。

【0051】このような走査ラインに図12のような駆動信号を与えると、一つのデータラインを中心に左側と右側に選択的に画像信号を伝えられる。また、第5実施例と同じく液晶パネルの下端から上端へ移動しながら画像がディスプレイされる。

【0052】次に、図13は本発明の第7実施例による液晶表示装置の構成図であり、図14は走査ラインに与えられる駆動信号の波形図である。図13に示したように、本発明の第7実施例による液晶表示装置はデータラインを中心に右側に第1スイッチング部を構成し左側に第2スイッチング部を構成した。

【0053】第7実施例の液晶表示装置は、図13に示したように、一方向へ形成された走査ライン(G1, G2, ..., Gn-1, Gn)などと、走査ライン(G1, G2, ..., Gn-1, Gn)と交差する方向へ形成されたデータライン(D1, D2, ..., Dn-1, Dn)と、前記の両ラインが交差する地点でデータライン(D1, D2, ..., Dn-1, Dn)の両側に形成され、前記該当走査ラインと以前走査ラインによって制御される第1スイッチング部71及び第2スイッチング部73と、第1スイッチング部71と連結される第1画素電極71cと、第2スイッチング部73と連結される第2画素電極73cを含めて構成される。

【0054】これを図13の“X”部分をより詳細に説明すると次のようである。第1スイッチング部71はソースまたはドレーンがデータラインD1に連結され、ゲートが該当走査ラインGnに連結される第1薄膜トランジスタ71aと第1薄膜トランジスタ71aと直列に連結され、ゲートが以前走査ラインGn-1に連結される第2薄膜トランジスタ71bから構成される。

【0055】また、第2スイッチング部73はソースまたはドレーンがデータラインD1に連結されゲートが該当走査ラインGnに連結される第3薄膜トランジスタ73aと、第3薄膜トランジスタ73aと直列に連結さ

13

れゲートが該当走査ライン $G_n$ に連結される第4薄膜トランジスタ73bから構成される。第2スイチング部73は第3薄膜トランジスタ73aのみで構成することができる。

【0056】このように構成された液晶表示装置の走査ラインに図14のような駆動信号を与えると、液晶パネルの下端から上端の方へ移動しながら画像がディスプレイされる。これは前記で説明した第5、第6の実施例と同じである。

【0057】なお、図15は本発明の第8実施例による液晶表示装置の構成図であり、図16は走査ラインに与えられる駆動信号の波形図である。本発明の第8実施例では第7実施例と比較して、第1スイチング部を構成している第1薄膜トランジスタ71aのゲートと第2薄膜トランジスタ71bのゲートの接続部位が相異なる。

【0058】即ち、本発明の第8実施例による第1スイチング部71はソースまたはドレーンがデータラインD1に連結され、ゲートが以前走査ライン( $G_{n-1}$ )に連結される第1薄膜トランジスタ71aと、前記第1薄膜トランジスタ71aと直列で連結されゲートが該当走査ライン( $G_n$ )だけに連結される第2薄膜トランジスタ71bから構成される。ここで前記第2スイチング部73は第7実施例による第2スイチング部73と同一な構成を有する。

【0059】このような本発明の第8実施例による液晶表示装置の走査ラインに図16のような駆動信号を与えると液晶パネルの下端から上端の方へ移動しながら画像がディスプレイされる。

【0060】以上のように、本発明の液晶表示装置は一つのデータラインがその左側と右側の画素領域に画像信号を伝えられるようにして、データラインの数を半分で減らすことができる。本発明に適したゲートドライバ及びソースドライバを構成して、1水平周期の間に2個の画素領域に画像信号を伝える本発明の液晶表示装置によれば、データラインの数を減少することができ、これによってソースドライバの数も減少することができる。

【0061】しかし、1水平周期の間に2個の画素領域に画像信号を伝えなければならないので各々画素領域に伝えるラインタイムが減少することによってアナログ回路の動作速度を2倍に速めなければならない問題が発生する。かかる問題はドットインバージョンで著しく現れるので図17のような方式で画素電極に画像信号を書き込む。

【0062】図17に示した番号順に画像信号を書き込む。①と②が全て(+)の極性信号であるので①が書き込まれた途端、②はプレチャージされるので1水平周期の半周期の間だけでも充電時間には大きな問題はない。また③と④では画像信号の極性が変わるので充電及び放電に長い時間を要する。従って、①、②から③、④へ移

14

る間のブランキングの間、プレチャージまたはデータライン間のチャージシャリング(charge sharing)で充電、放電時間を減少させる。

【0063】なお、④は③が書き込まれる間、プレチャージされるので書き込み時間には問題がないが、③の書き込み時間には問題となり得るので、1水平周期の間、走査ラインに与える駆動信号のハイ区間aとロー区間bの値を調整して③の書き込み時間を確保することができる。

【0064】以上、添付図面を参照しながら本発明にかかる好適な実施形態について説明したが、本発明はかかる例に限定されないことは言うまでもない。当業者であれば、特許請求の範囲に記載された技術的思想の範疇内において、各種の変更例または修正例に想到し得ることは明らかであり、それらについても当然に本発明の技術的範囲に属するものと了解される。

【0065】

【発明の効果】前述したように本発明の液晶表示装置には、次の効果がある。まず、一つのデータラインがその左側と右側の二つの画素領域に選択的に画像信号を伝えることができるのでデータラインの数を半分に減少することができる。また、同一サイズでさらに多い画像をディスプレイすることができるので高解像度を実現することができる。

【図面の簡単な説明】

【図1】 本発明の第1実施例に係る液晶表示装置の構成図である。

【図2】 図1の装置の走査ラインに与えられる駆動信号の波形図である。

【図3】 本発明の第2実施例に係る液晶表示装置の構成図である。

【図4】 図3の装置の走査ラインに与えられる駆動信号の波形図である。

【図5】 本発明の第3実施例に係る液晶表示装置の構成図である。

【図6】 図5の装置の走査ラインに与えられる駆動信号の波形図である。

【図7】 本発明の第4実施例に係る液晶表示装置の構成図である。

【図8】 図7の装置の走査ラインに与えられる駆動信号の波形図である。

【図9】 本発明の第5実施例に係る液晶表示装置の構成図である。

【図10】 図9の装置の走査ラインに与えられる駆動信号の波形図である。

【図11】 本発明の第6実施例に係る液晶表示装置の構成図である。

【図12】 図11の装置の走査ラインに与えられる駆動信号の波形図である。

【図13】 本発明の第7実施例に係る液晶表示装置の

構成図である。

【図 14】 図 13 の装置の走査ラインに与えられる駆動信号の波形図である。

【図 15】 本発明の第 8 実施例に係る液晶表示装置の構成図である。

【図 16】 図 15 の装置の走査ラインに与えられる駆動信号の波形図である。

【図 17】 本発明の液晶表示装置による画像信号の書き込み順序を示した図である。

【図 18】 一般的な液晶ディスプレイ素子の断面構造 10 図である。

【図 19】 一般的な液晶ディスプレイ素子の概略的構

成図である。

【図 20】 従来技術による液晶表示装置の構成図である。

【図 21】 従来の液晶表示装置の走査ラインに与える駆動信号の波形図である。

【符号の説明】

71 第 1 スイッチング部

71 a, 71 b 第 1, 第 2 薄膜トランジスター

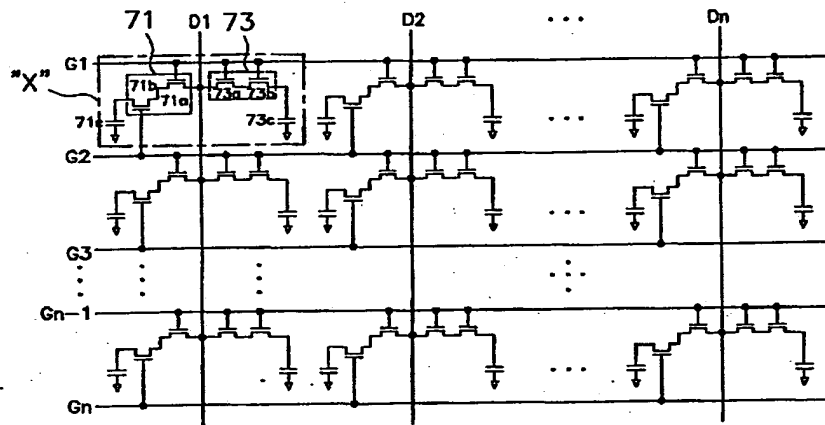
71 c 第 1 画素電極

73 第 2 スイッチング部

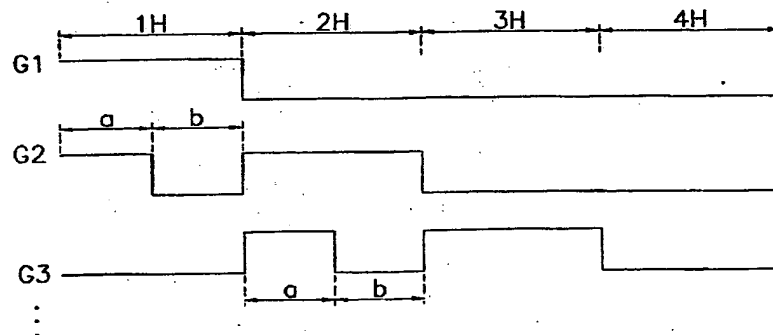
73 a, 73 b 第 3, 第 4 薄膜トランジスター

73 c 第 2 画素電極

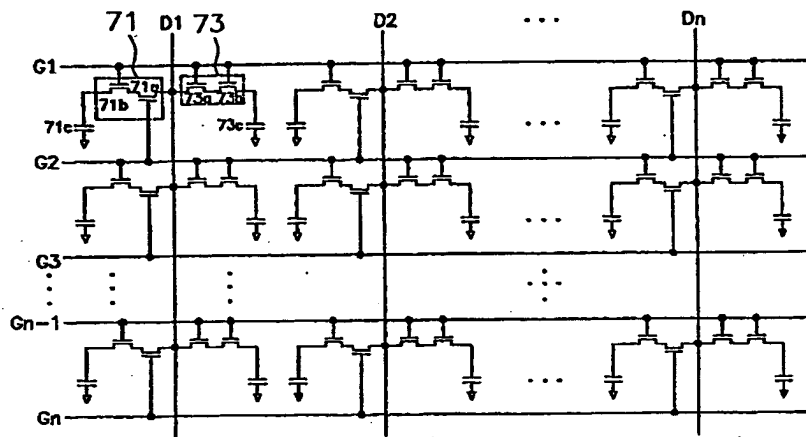
【図 1】



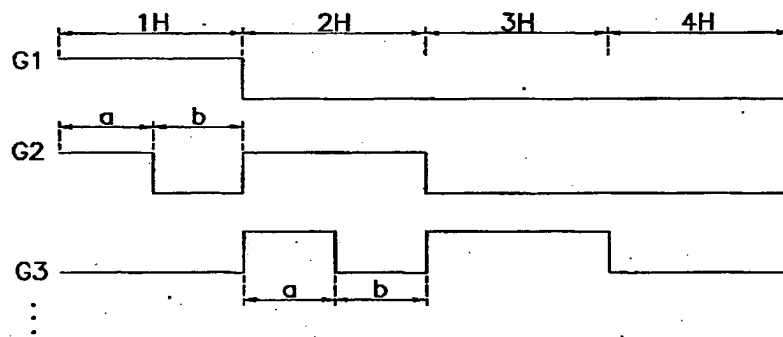
【図 2】



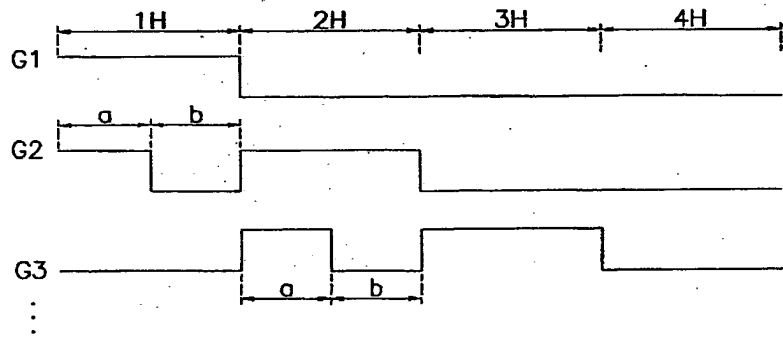
【図3】



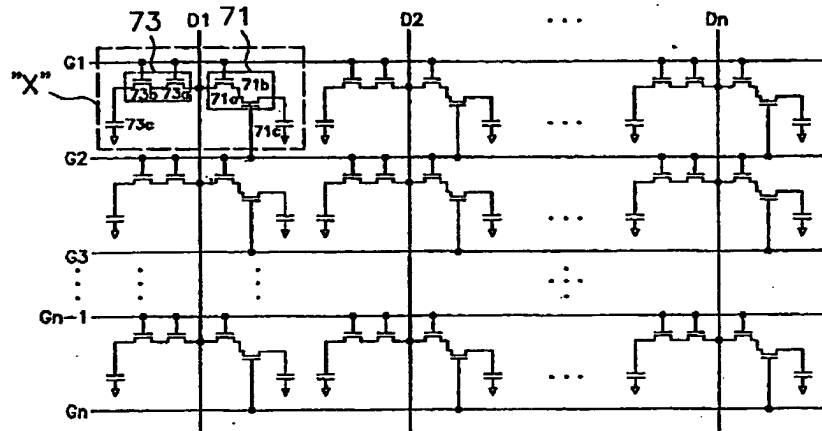
【図4】



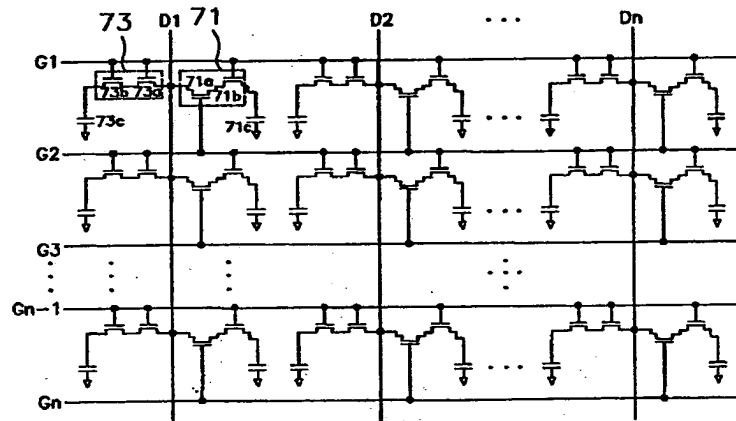
【図6】



【図5】



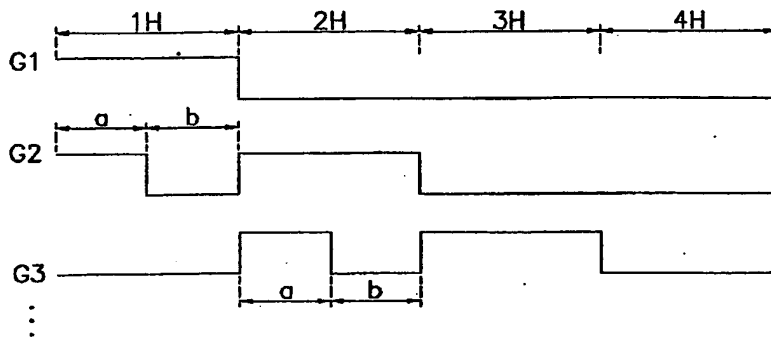
【図7】



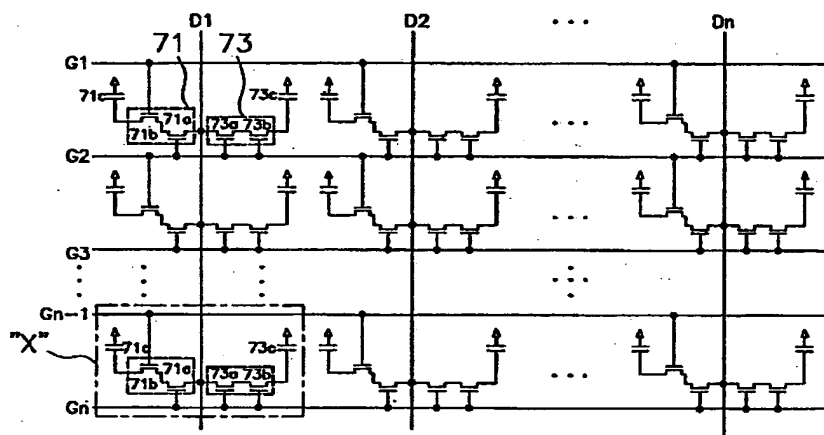
【図17】

—	—	①+	②+	—	—
+	+	③—	④—	+	+
—	—	+	+	—	—
+	+	—	—	+	+

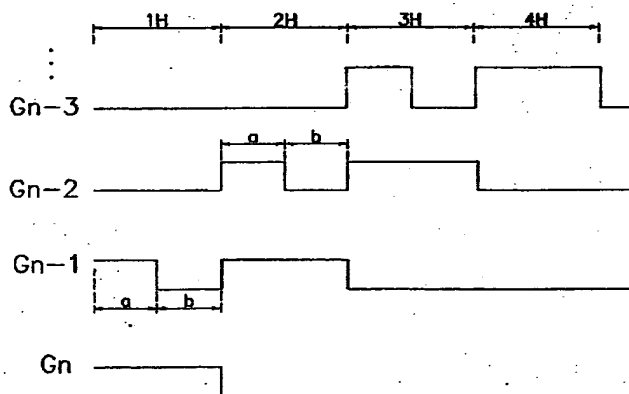
【図 8】



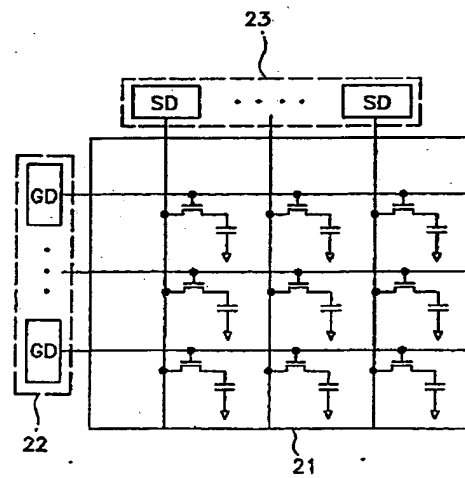
【図 9】



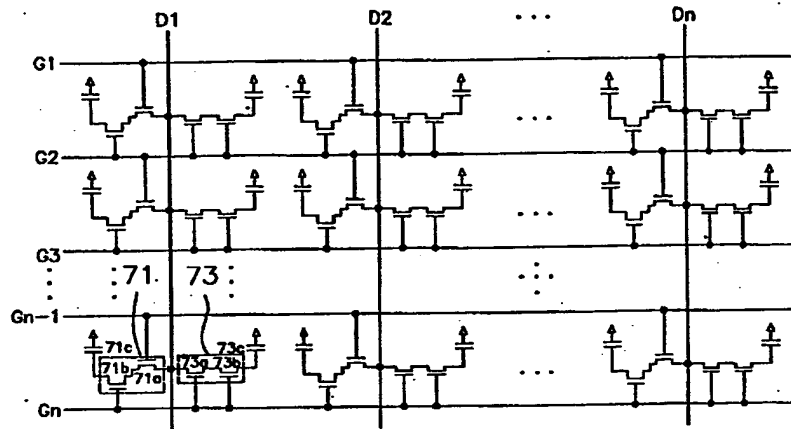
【図 10】



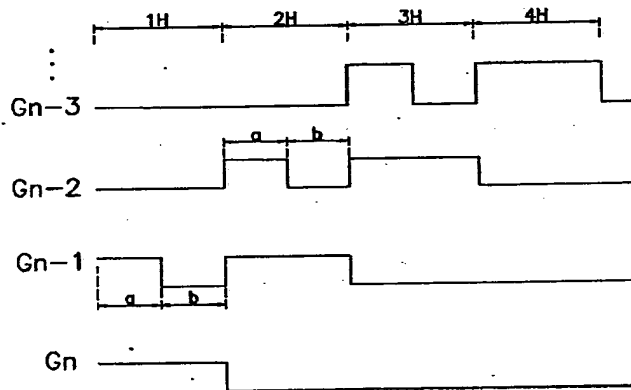
【図 19】



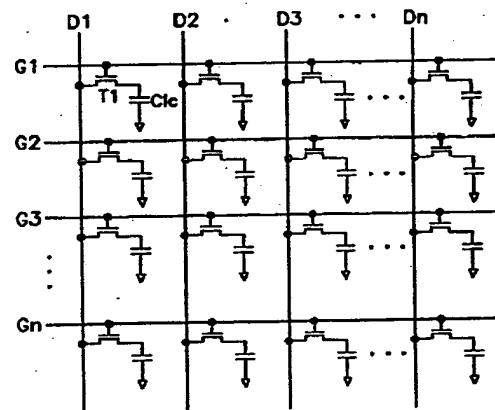
【図11】



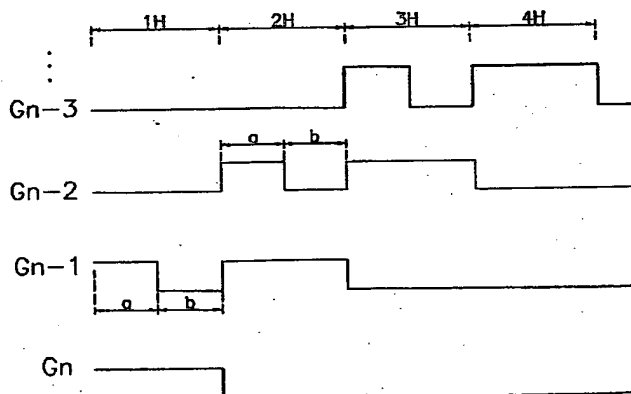
【図12】



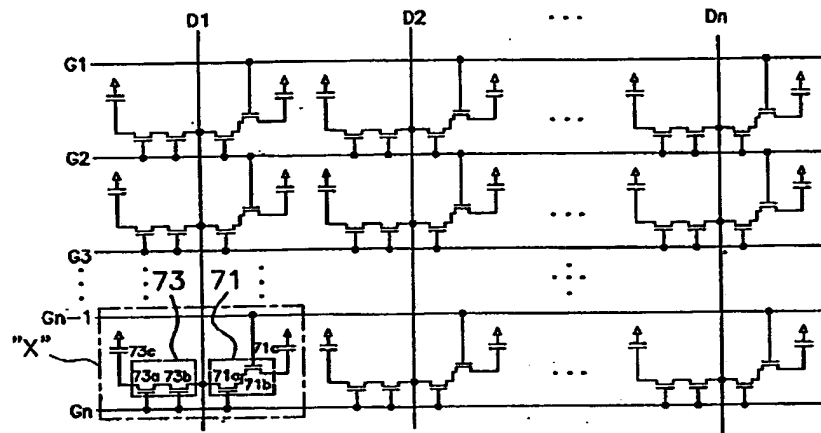
【図20】



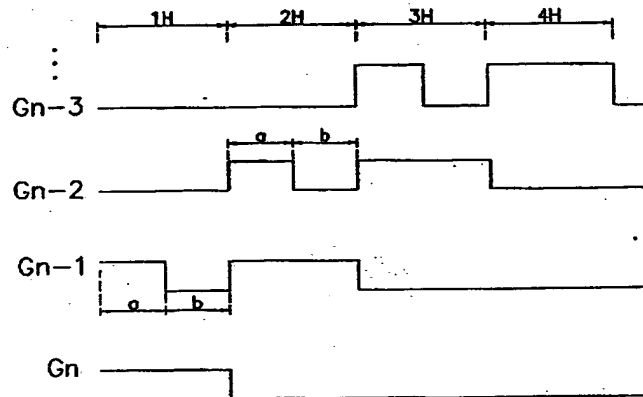
【図16】



【図 13】



【図 14】





A cross-sectional view of a liquid crystal display assembly. It shows a substrate 1 with a series of parallel conductive lines 2a. A circular inset highlights a specific area of the conductive lines. Above the substrate, there is a layer 3 containing regions labeled R, G, and B. A layer 4 is positioned above layer 3, and a layer 5 is above layer 4. A layer 6 is located between the conductive lines 2a and layer 3. A BACK LIGHT is shown at the bottom, with light rays passing through the assembly.

【図 21】

